

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-211935

(43)Date of publication of application : 05.09.1988

(51)Int.Cl.

H04L 7/02
H04L 27/00
// H04L 25/40

(21)Application number : 62-044387

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.02.1987

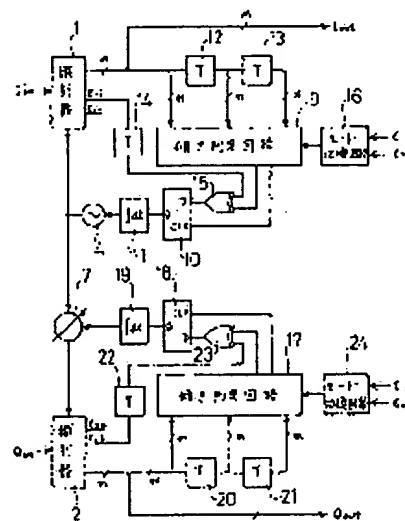
(72)Inventor : IWAMATSU TAKANORI
AONO YOSHITAMI
TAKENAKA SADA0

(54) CLOCK RECOVERY CIRCUIT

(57)Abstract:

PURPOSE: To recover a clock stably by recovering the clock based on a data of channels I and Q after identification.

CONSTITUTION: A detection input of a channel inputted to an identifier 1 is subjected to level identification in the timing of a sampling clock inputted from a voltage controlled oscillator 4. An error signal ϵ outputted from the identifier 1 is given to a time holding circuit 14, where the signal is subjected to time matching of the timing T_0 at the present point of time and the result is inputted to a D flip-flop 10 via an exclusive OR circuit 15. A voltage controlled oscillator 4 generates a clock having a frequency in response to a difference signal from the said D flip-flop 10. Thus, a sampling clock is generated in the timing to be an optimum position of a high pattern and the sampling clock is inputted to the identifier 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A)

昭63-211935

⑮ Int. Cl.⁴ 識別記号 庁内整理番号 ⑯ 公開 昭和63年(1988)9月5日
H 04 L 7/02 Z-6745-5K
27/00 G-8226-5K
// H 04 L 25/40 C-7345-5K 審査請求 未請求 発明の数 1 (全6頁)

⑰ 発明の名称 クロック再生回路

⑱ 特 願 昭62-44387

⑲ 出 願 昭62(1987)2月27日

⑳ 発 明 者 岩 松 隆 則 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
㉑ 発 明 者 青 野 芳 民 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
㉒ 発 明 者 竹 中 貞 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
㉓ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地
㉔ 代 理 人 弁 理 士 森 田 寛 外1名

明 細 書

1. 発明の名称

クロック再生回路

2. 特許請求の範囲

1 チャンネルとQチャンネルとの2系列の検波
入力をもつサンプリグ・クロックでそれぞれ
検波する識別器(1)、(2)を備えた多値QAM方式
の識別回路において、いずれか一方のチャンネル
の識別器(1)で識別されたデータを基に、該識
別器(1)のサンプリグ・クロックを再生させ
るクロック再生部(3)と、

該クロック再生部(3)で再生されたクロック
に対し位相制御を行い他方のチャンネルの識別器
(2)へ与えるタイミング制御回路部(6)

とを備え、該タイミング制御回路部(6)は
クロック再生部(3)で再生されたクロックの
位相を可変する移相器(7)と、他方のチャン
ネルの識別器(2)で識別されたデータを基にその

補正されるべき位相分を検出し、上記移相器(7)
に与えられたクロックに対し補正されるべき位
相分の制御信号を移相器(7)に送出する位相制
御回路(8)

とを備え、各チャンネルの識別器(1)、(2)に最
適の識別タイミングとなるクロックをそれぞれ再
生するようにしたことを特徴とするクロック再生
回路。

3. 発明の詳細な説明

(概要)

1 チャンネルとQチャンネルとの2系列の各検
波入力信号をもつサンプリグ・クロックで検波
する多値QAM方式の識別回路において、例え
ば1チャンネルの識別後のデータを基に最適サ
ンプリグ・クロックを再生するクロック再生部
と、Qチャンネルの識別後のデータを基に上記ク
ロック再生部で再生されたクロックに対し位相制
御を行って最適サンプリグ・クロックを再生
するタイミング制御回路部とを設け、1チャン

ル及びQチャンネルの各識別器に最適なタイミングとなるサンプリング・クロックを再生するようにしたものである。

(産業上の利用分野)

本発明は、クロック再生回路、特に多値QAM方式の復調回路において、その識別のタイミングを定めるクロック再生回路に関するものである。

(従来の技術)

従来の多値QAM方式の識別回路において、識別器の識別タイミングを決めるサンプリング・クロックは、識別器でデジタル化される前のアナログ信号から抽出し、クロック再生を行っていた。

(発明が解決しようとする問題点)

識別器でデジタル化される前のアナログ信号から微分器、全波整流器、フィルタ等を使用してクロックを抽出し再生する従来のクロック再生法では、アイ・パターンのアイが最も開いている位

出力するA/D変換器である。この識別タイミングは、以後に説明するクロック再生部3及びタイミング制御回路部6から出力される各サンプリング・クロックによって決定付けられている。

クロック再生部3は、Iチャンネルの識別器1によって識別されたデジタルのデータを基に、Iチャンネルの検波入力についてのアイ・パターンの最適位置に識別器1のサンプリング・クロックを発生させるクロック再生部である。そしてクロックの安定化をはかるため、PLL回路構成が採用されている。

クロック制御回路5は、識別器1で識別されたIチャンネルの出力データを基に、当該出力データのあるべき値からのずれを検出して電圧制御発振器4に制御電圧を送出し、該電圧制御発振器4から識別器1へアイ・パターンの最適位置にサンプリング・クロックを発生させる制御を行う。

タイミング制御回路部6は、Qチャンネルの識別器2によって識別されたデジタルのデータを基に、Qチャンネルの検波入力についてのアイ・

位置にサンプリング・クロックを手動で定めるようにしているため、時間変化、温度変化や何らかの影響で最初に設定された位置から狂ってしまうと、そのまま狂いばなしの状態となり、レベル識別の際、アイ・パターンの最適位置からずれたタイミングでレベルの識別を行うようになり、誤り率が高くなる欠点があった。

そのため、常にアイ・パターンの最適位置でレベル識別を行うようにするクロックの再生が望まれている。

(問題点を解決するための手段)

第1図は本発明に係わるクロック再生回路の原理構成図を示しており、1、2は識別器、3はクロック再生部、4は電圧制御発振器、5はクロック制御回路、6はタイミング制御回路部、7は移相器、8は位相制御回路を表している。

識別器1、2は該識別器1、2にそれぞれ入力されるI、Qチャンネルの検波入力を所定の識別レベルで識別し、デジタル信号のデータとして

パターンの最適位置に識別器2のサンプリング・クロックを発生させるクロック再生部である。該タイミング制御回路部6では、上記クロック再生部3からクロックを受け、該クロックに対し位相制御を行って識別器2への最適サンプリング・クロックを得る構成となっている。そして該タイミング制御回路部6もPLL回路構成が採用され、クロックの安定化がはかられている。

位相制御回路8は、識別器2で識別されたQチャンネルの出力データを基に、移相器7へ補正されるべき位相分の制御信号を送出し、該移相器7に入力されるクロック再生部3からのクロックに位相制御を行わせ、最適位置にサンプリング・クロックを発生させる制御を行う。

(作用)

識別器1に入力したIチャンネルの検波入力は、該識別器1で所定の識別レベルと比較され、デジタル化されたIチャンネルのデータが出力される。同様に、識別器2に入力されたQチャンネル

の検波入力は、該識別器2で所定の識別レベルと比較され、ディジタル化されたQチャンネルのデータが出力される。クロック再生部3内のクロック制御回路5は、Iチャンネルの識別後のデータを基に、現時点で識別されたタイミングがアイ・パターンの最適位置で行われたかどうか検出し、識別タイミングが最適位置からずれている場合、その補正すべき制御信号を電圧制御発振器4へ送出する。クロック制御回路5から上記制御信号を受けた電圧制御発振器4は、該制御信号に対応してアイ・パターンの最適位置でレベル識別が行われるべきサンプリング・クロックを発生させる。

一方、タイミング制御回路部6内の位相制御回路8は、Qチャンネルの識別後のデータを基に、現時点で識別されたタイミングがアイ・パターンの最適位置で行われたかどうかを検出し、識別タイミングが最適位置からずれている場合、その補正すべき制御信号を移相器7へ送出する。位相制御回路8から上記制御信号を受けた移相器7は、クロック再生部3から供給されるクロックに対し

該制御信号に応じた位相制御を行い、アイ・パターンの最適位置でレベル識別が行われるべきサンプリング・クロックを発生させる。

(実施例)

以下第2図以後の図面を参照しつつ本発明の一実施例を説明する。

第2図は本発明に係わるクロック再生回路の一実施例構成、第3図は識別タイミングのずれを補正する補正説明図を示している。

第2図において、符号1, 2, 4, 7は第1図のものに対応しており、9は傾き判定回路、10はD型フリップ・フロップ、11は低域フィルタ、12ないし14は時間保持回路、15は排他的オア回路、16はモード切換回路、17は傾き判定回路、18はD型フリップ・フロップ、19は低域フィルタ、20ないし22は時間保持回路、23は排他的オア回路、24はモード切換回路を表している。

識別器1に入力されたIチャンネルの検波入力

は、電圧制御発振器4から入力されるサンプリング・クロックのタイミングでレベルの識別が行われる。このレベル識別後のデータが傾き判定回路9に入力されるようになっている。第3図図示の如く、比較されるべきタイミングT₀における識別後のデータは時間保持回路12を介して傾き判定回路9へ入力され、その1つ前のタイミングT₁における識別後のデータは、時間保持回路13を介して傾き判定回路9に入力され、その1つ後のタイミングT₂における識別後のデータは直接傾き判定回路9に入力される。これらの3つのタイミングT₁、T₀、T₂における識別後のデータからタイミングT₀の傾きが判定される。第3図(1)図示の如く、タイミングT₁とT₀及びタイミングT₀とT₂との間で単調増加し、タイミングT₀の傾きが正で識別器1から出力される値があるべき値Dよりも誤差信号ε₁₁をもって当該誤差信号ε₁₁が正のとき、現時点T₀でのサンプリング・クロックの発生タイミングは真のタイミング点T₀'よりプラス側、すなわち進み方

向にずれており、該誤差信号ε₁₁が負のときには、サンプリング発生のタイミングが真のタイミング点T₀'よりマイナス側、すなわち遅れ方向にずれていることを表す。またタイミングT₁とT₀及びタイミングT₀とT₂との間で単調減少し、タイミングT₀の傾きが負のときには、逆となる。従って傾き判定回路9によって判定されるタイミングT₀の傾きと、識別器1から出力される誤差信号ε₁₁の正負によって、現時点、すなわちタイミングT₀でのサンプリング・クロックの発生タイミングが真のタイミング点T₀'から進み方向にあるか遅れ方向にあるかが傾き判定回路9により判定される。

また、第3図(II)図示の如く、タイミングT₁とT₀との間では単調減少、タイミングT₀とT₂の間では単調増加或いはその逆の時の様にタイミングT₁とT₀との間で極値を有するときには、傾き判定回路9は判定を行わない。

そして識別器1から出力される誤差信号ε₁₁は、時間保持回路14によって現時点のタイミングT₀

の時間合わせが行われ、排他的オア回路15を介してD型フリップ・フロップ10に入力される。該D型フリップ・フロップ10には、傾き判定回路9からの判定信号が排他的オア回路15に入力されており、該傾き判定回路9の判定信号に応じて、D型フリップ・フロップ10に入力される時間保持回路14からの誤差信号 ϕ_{11} の極性を反転させている。また該D型フリップ・フロップ10には電圧制御発振器4からのクロックが傾き判定回路9を介して入力されており、このクロックと上記排他的オア回路15からの誤差信号 ϕ_{11} との位相が、該D型フリップ・フロップ10で比較される。その位相差に応じた差信号が低域フィルタ11を介して電圧制御発振器4に入力される。該電圧制御発振器4は上記D型フリップ・フロップ10からの差信号に応じた周波数のクロックを発生させる。従って、ハイ・パターンの最適位置となるべきタイミングにサンプリング・クロックが発生し、該サンプリング・クロックが識別器1へ入力される。

し22によって決定される。これらの動作は上記説明と全く同様であり、低域フィルタ19から位相制御を行うべき位相分の制御信号が移相器7に入力されるようになっている。従って1チャンネル側で再生された電圧制御発振器4からのクロックを受け、該クロックに対し上記位相制御を行うべき位相分だけ移相器7で位相をずらし、識別器2へのサンプリング・クロックとしている。これにより、簡易な回路構成によってQチャンネルのクロックを再生することができる。また、モード切換回路24についても上記1チャンネルの場合と同様であり、そのモード切り換えが行われる様になっている。

第4図は本発明に係わるクロック再生回路の具体的回路構成を示しており、64値QAMのものである。

同図において、符号1、2、4、7は第1図のものに対応し、10ないし16、18ないし24は第2図のものに対応している。25はROM、26はアンド回路、27はROM、28はアンド

なお、上記第3図図示の曲線(II)の場合のように傾き判定回路9が判定できない場合には、既に判っている1つ前の状態のクロックが再生されるようになっている。

モード切換回路16は、識別器1へ入力されるサンプリング・クロックが大きいくずれたり、フェージング等でアイ・パターンが潰れたりしたとき、上記説明のクロック補正では十分に検出されないで、そのモードを切り換え、この様な時にもタイミングT₀の傾きが判定できる別のモードに切り換えるためのものである。該モード切換回路16は識別器1の ϕ_{11} 、 ϕ_{12} の出力信号によって切り換えられるようになっている。

また、識別器2に入力されたQチャンネルの検波入力は、上記電圧制御発振器4から出力されるクロックに対し移相器7で位相制御されたサンプリング・クロックにより、そのレベル識別が行われる。該移相器7によって位相制御される位相分は、傾き判定回路17、D型フリップ・フロップ18、低域フィルタ19、時間保持回路20ない

回路を表している。

識別器1、2はA/D変換器が使用されており、12ないし13及び20ないし22の時間保持回路にフリップ・フロップが用いられている。

ROM25には識別器1のA/D変換器が出力する3ビットのデータ、即ち I_1 、 I_2 、 I_3 のデータで、該データがとり得るパターンの数、識別レベル数、傾きの正負の数等、あらゆる組み合わせに対する補正値が予め記憶されている。

同様にROM27には識別器2のA/D変換器が出力する Q_1 、 Q_2 、 Q_3 のデータで、該データがとり得るパターンの数、識別レベル数、傾きの正負の数等、あらゆる組み合わせに対する補正値が予め記憶されている。

従って、例えば1チャンネルの識別器1で識別されたタイミングT₁、T₂、T₃での各3ビットのデータ(I_1 、 I_2 、 I_3)をアドレスとしてROM25がアクセスされ、現時点でのタイミングT₀における傾きと本来とるべき値との差のデータがROM25から読み出され、傾きの信号

は排他的オア回路15へ入力され、本来とるべき値との差の信号はアンド回路26に入力される。識別器1から出力される1.のデータ(小数点第1桁目のデータ即ち e_{11})はフリップ・フロップ14を介して現時点のタイミングT.の時間合わせが行われた上で排他的オア回路15に輸入されている。該排他的オア回路15を介して得られる上記フリップ・フロップ14で時間合わせされた信号と、電圧制御発振器4からのアンド回路26を経由したクロックとがD型フリップ・フロップ10で位相比較され、その差信号が低域フィルタ11を介して電圧制御発振器4に輸入される。従って該電圧制御発振器4から補正された周波数のクロックが再生される。

Qチャンネルも全く同様の動作が行われるが、電圧制御発振器4で得られたクロックに対し、移相器7でその補正されるべき位相分の位相制御されたクロックが、該移相器7から出力される。

以上の説明から、IチャンネルとQチャンネルとを入れ換えた構成、すなわちIチャンネル側に

移相器7を設け、Qチャンネル側のクロックに対し位相制御させてクロックを再生する構成としても同様にクロックを再生することができることは明らかである。

(発明の効果)

以上説明した如く、本発明によれば、Iチャンネル、Qチャンネルの識別後のデータを基にクロックを再生しているので、当該識別後のデータとあるべきデータとの差を抽出することが確実に行い得るものとなる。そしてPLL回路構成によって一方側チャンネルのクロックを再生し、他方の側のチャンネルのクロックは、再生されたクロックに位相制御を行ってクロックを再生するようにしたので、回路構成が簡単となり、またPLL回路構成で再生していることにより、クロックが安定して再生される。

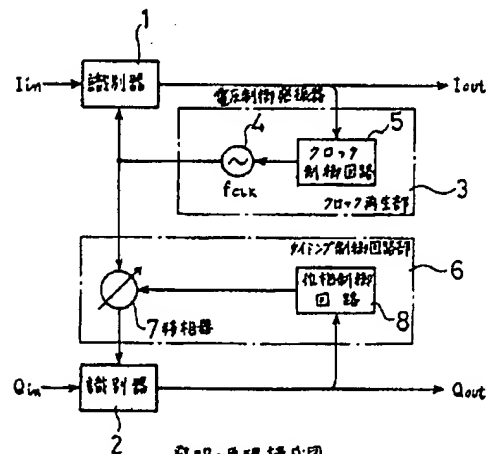
4. 図面の簡単な説明

第1図は本発明に係わるクロック再生回路の原

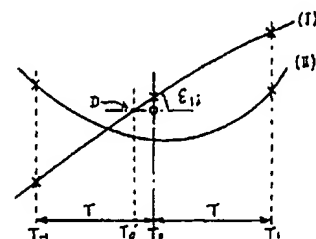
理構成図、第2図は本発明に係わるクロック再生回路の一実施例構成、第3図は識別タイミングのずれを補正する補正説明図、第4図は本発明に係わるクロック再生回路の具体的回路構成を示している。

図中、1、2は識別器、3はクロック再生部、4は電圧制御発振器、5はクロック制御回路、6はタイミング制御回路部、7は移相器、8は位相制御回路、9、17は傾き判定回路、25、27はROMを表している。

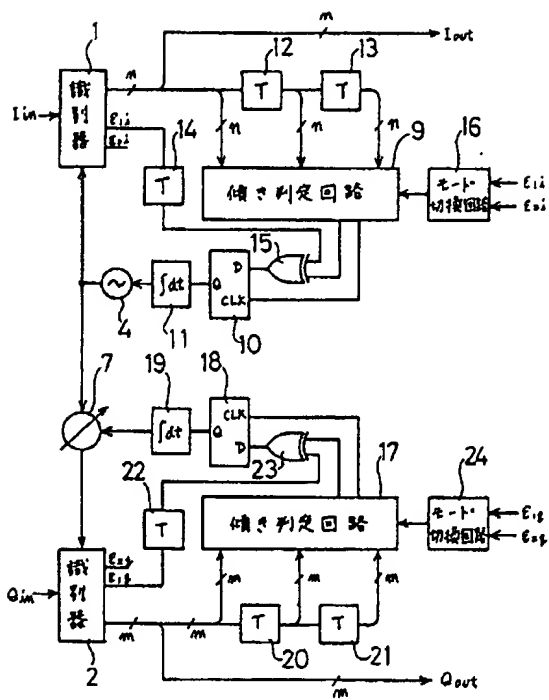
特許出願人 富士通株式会社
代理人弁理士 森田 寛(外1名)



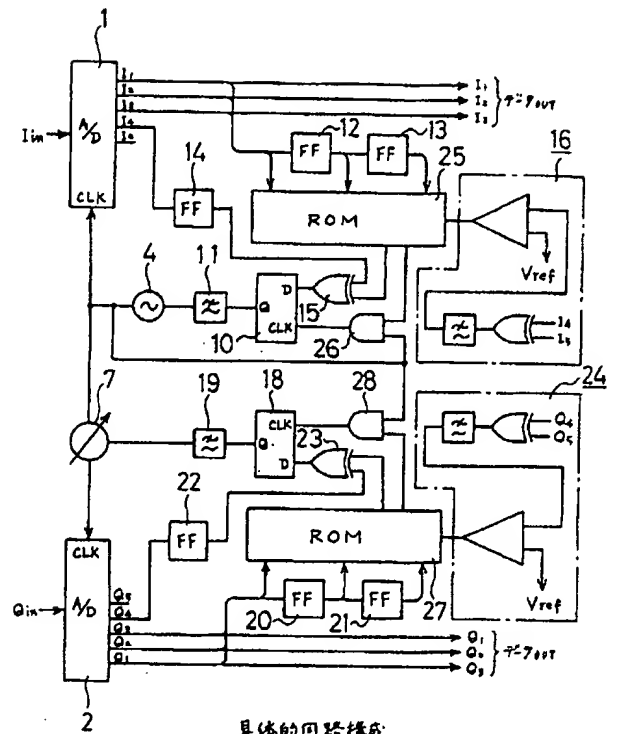
発明の原理構成図
第1図



説明図
第3図



一実施例構成
第 2 図



具体的回路構成
第 4 図